

# case 문

Kyung-Wook Shin  
kwshin@kumoh.ac.kr

School of Electronic Eng.,  
Kumoh National Institute of Technology

## 5.4 case 문

### □ case 문

```
case (expression)
  case_item {, case_item} : statement_or_null;
  | default [:] statement_or_null;
endcase
```

- ❖ case 조건식의 값과 일치하는 case\_item의 문장이 실행
  - 각 비트가 0, 1, x, z를 포함하여 정확히 같은 경우에만 일치로 판단
  - case 문의 조건식과 모든 case\_item의 비트 크기는 큰 쪽에 맞추어져야 함
- ❖ 모든 case\_item들에 대한 비교에서 일치되는 항이 없는 경우에는 default 항이 실행
  - default 항이 없으면 변수는 이전에 할당받은 값을 유지 (Latch 동작)
  - 하나의 case 문에서 여러 개의 default를 사용하는 것은 허용되지 않음

## 5.4 case 문

3

예 5.4.1

case문을 이용한 2 : 1 멀티플렉서

```
module mux21_case(a, b, sel, out);
  input  [1:0] a, b;
  input      sel;
  output [1:0] out;
  reg   [1:0] out;

  always @(a or b or sel) begin
    case(sel)
      0 : out = a;
      1 : out = b;
    endcase
  end
endmodule
```

코드 5.11

Verilog HDL

행위수준 모델링

K. W. SHIN

## 5.4 case 문

4

예 5.4.2

case문을 이용한 디코더

```
reg [15:0] rega;
reg [9:0]  result;

always @(rega) begin
  case(rega)
    16'd0: result = 10'b0111111111;
    16'd1: result = 10'b1011111111;
    16'd2: result = 10'b1101111111;
    16'd3: result = 10'b1110111111;
    16'd4: result = 10'b1111011111;
    16'd5: result = 10'b1111101111;
    16'd6: result = 10'b1111110111;
    16'd7: result = 10'b1111111011;
    16'd8: result = 10'b1111111101;
    16'd9: result = 10'b1111111110;
    default: result = 10'bx;
  endcase
end
```

Verilog HDL

행위수준 모델링

K. W. SHIN

## 5.4 case 문

5

### □ don't care를 갖는 case 문

- ❖ casez 문 : z를 don't - care로 취급하여 해당 비트를 비교에서 제외
  - > don't - care 조건으로 ? 기호 사용 가능
- ❖ casex 문 : x와 z를 don't - care로 취급하여 해당 비트를 비교에서 제외

#### 예 5.4.5

```
reg [7:0] ir;
casez (ir)
  8'b1??????: instruction1(ir);
  8'b01?????: instruction2(ir);
  8'b00010???: instruction3(ir);
  8'b000001???: instruction4(ir);
endcase
```

Verilog HDL

행위수준 모델링

K. W. SHIN

## 5.4 case 문

6

#### 예 5.4.6

casex 문을 이용한 4비트 우선순위 인코더(priority encoder)

```
module pri_enc_casex(encode, enc);
  input  [3:0] encode;
  output [1:0] enc;
  reg      [1:0] enc;

  always @(encode) begin
    casex(encode)
      4'b1xxx : enc = 2'b11;
      4'b01xx : enc = 2'b10;
      4'b001x : enc = 2'b01;
      4'b0001 : enc = 2'b00;
    endcase
  end
endmodule
```

코드 5.12

Verilog HDL

행위수준 모델링

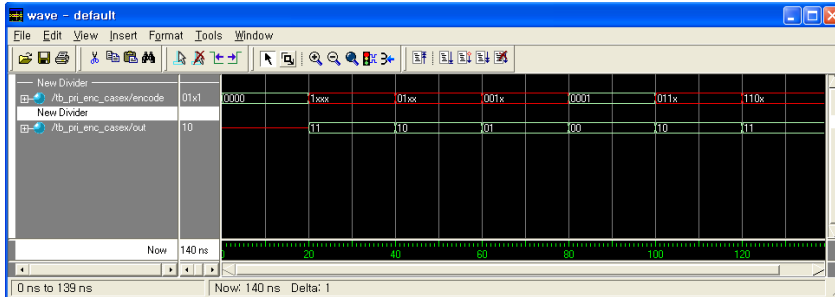
K. W. SHIN

## 5.4 case 문

7

예 5.4.6

코드 5.12의 시뮬레이션 결과



Verilog HDL

행위수준 모델링

K. W. SHIN

## 5.4 case 문

8

예 5.4.7

case 조건식에 상수 값을 사용한 우선순위 인코더

```
module pri_enc_case(encode, enc);
  input  [3:0] encode;
  output [1:0] enc;
  reg    [1:0] enc;

  always @(encode) begin
    case(1)
      encode[3]: enc = 2'b11;
      encode[2]: enc = 2'b10;
      encode[1]: enc = 2'b01;
      encode[0]: enc = 2'b00;
      default  : $display("Error: One of the bits expected ON");
    endcase
  end
endmodule
```

코드 5.13

Verilog HDL

행위수준 모델링

K. W. SHIN

## 5.4 case 문

9

예 5.4.7

코드 5.13의 시뮬레이션 결과

